

STRUCTURE OF WIRING LAYER

Patent Number: JP3152807
Publication date: 1991-06-28
Inventor(s): SHIMOMAKI SHINICHI
Applicant(s): CASIO COMPUT CO LTD
Requested Patent: ☐ JP3152807
Application JP19890289359 19891107
Priority Number(s):
IPC Classification: H01B5/14; G02F1/1343; G02F1/136; H01B1/02; H01L21/3205;
EC Classification:
Equivalents: JP2869893B2

Abstract

PURPOSE: To lower resistance and improve adhesion with base plate and oxidation resistance of surface by laminating first to third metal layers on a base plate, and forming the respective layers by use of specified metal materials.

CONSTITUTION: First to third metals are laminated on an insulating base plate to form a wiring layer structure. As the metal of the first layer, one of cupronickel, chromium, nickel, tantalum, titanium, aluminium, molybdenum, and tungsten is used, as the metal material of the second layer, copper is used, and as the metal material of the third layer, the same metal material as the metal material of the first layer is used. Hence, a wiring layer structure having a remarkably low resistance and improved in adhesion with the insulating base plate and oxidation resistance of the surface is provided.

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-152807

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月28日

H 01 B 5/14
G 02 F 1/1343
1/136
H 01 B 1/02
H 01 L 21/3205
29/784

5 0 0

A 2116-5G
9018-2H
9018-2H
Z 7244-5G

9056-5F
6810-5F

H 01 L 29/78
21/88

3 1 1 A
R

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 配線層の構造

⑯ 特 願 平1-289359

⑰ 出 願 平1(1989)11月7日

⑱ 発 明 者 下 牧 伸 一 東京都八王子市石川町2951番地の5 カシオ計算機株式会社
八王子研究所内

⑲ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑳ 代 理 人 弁理士 阪本 紀康

明 細 書

1. 発明の名称

配 線 層 の 構 造

2. 特許請求の範囲

絶縁性の基板上に形成される配線層の構造において、

前記配線層を、前記基板上に第1の金属層、第2の金属層及び第3の金属層を順次積層してなる3層構造とし、前記第1の金属層の材料として白銅、クロム、ニッケル、タンタル、チタン、アルミニウム、モリブデン及びタングステンの中の1つを使用し、前記第2の金属層の材料として銅を使用し、前記第3の金属層の材料として白銅、クロム、ニッケル、タンタル、チタン、アルミニウム、モリブデン及びタングステンの中の1つを使用することを特徴とする配線層の構造。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、例えばアクティブマトリクス型の液

晶表示装置に使用される薄膜トランジスタパネルにおけるガラス基板上の電極配線等のように、絶縁性基板上に形成される配線層の構造に関する。

(従 来 の 技 術)

例えば液晶テレビ等に使用されるアクティブマトリクス型の液晶表示装置は、一般に、第3図に示すような薄膜トランジスタパネルを備えている。この薄膜トランジスタパネルは、ガラスや石英でできた絶縁性の基板1上に、ITO膜等でできた透明な画素電極2と、この画素電極2に接続されたスイッチング素子としての薄膜トランジスタ3とがマトリクス状に複数配列されている。更に、基板1上には、画素電極2の間を縫って、複数の薄膜トランジスタ3のゲート電極を一方向(図中では横方向)に沿って接続する、クロムやタンタルでできたゲートライン(走査ライン)4と、これとは交差する方向(図中では縦方向)に複数の薄膜トランジスタ3のドレイン電極を接続する、同様にクロムやタンタルでできたドレインライン(データライン)5とが配列されている。

上記薄膜トランジスタ 3 の A-A 方向から見た断面構成を第 4 図に示す。同図において、基板 1 上には、クロムやタンタルでできた膜厚 100nm 程度のゲート電極 6 が形成され、その全面がシリコン窒化膜からなるゲート絶縁膜 7 で覆われている。そして、その上の所定領域には、a-Si (アモルファスシリコン) からなる a-Si 半導体層 8 が設けられ、更に a-Si 半導体層 8 上の両側には、a-Si 中に n 型不純物が高濃度に混入された n⁺-a-Si 半導体層からなるコンタクト層 9 を介して、クロムやタンタルでできたソース電極 10 及びドレイン電極 11 が形成されている。また、ソース電極 10 には、第 3 図に示した画素電極 2 の一端が接続されている。

なお、ゲート電極 6 と、これから延びるゲートライン 4 (第 3 図) とは、基板 1 上に同時にパターン形成され、また、ソース及びドレイン電極 10、11 と、このドレイン電極 11 から延びるドレインライン 5 (第 3 図) も、同時にパターン形成される。

- 3 -

いれば低抵抗化が可能であるが、銅は基板 1 との密着性が悪くて剥がれやすく、しかも表面が酸化されやすく他の配線との電気的接続が得にくいという問題点があるため、これまでのところ銅を用いてゲートラインを形成することは行われていない。

なお、上述した問題点は、薄膜トランジスタパネルにおいて生じるのみならず、ガラスや石英等の絶縁性基板上に形成された金属配線層を有する各種の分野において生じていた。

本発明は、上記従来の問題点に鑑みてなされたものであり、その目的は、大幅な低抵抗化を実現することができ、しかも絶縁性基板との密着性及び表面の耐酸化性にも優れた配線層の構造を提供することにある。

〔課題を解決するための手段〕

本発明は、絶縁性の基板上に形成される配線層の構造において、前記配線層を、前記基板上に第 1 の金属層、第 2 の金属層及び第 3 の金属層を順次積層してなる 3 層構造とし、しかも、前記第 1

〔発明が解決しようとする課題〕

上記従来の薄膜トランジスタパネルでは、ガラスや石英等の絶縁性基板 1 上に形成されるゲートライン 4 (ゲート電極 6 を含む) の材料として、基板 1 との密着性が高く、かつ表面の酸化されにくいクロム (Cr) やタンタル (Ta) を用いていた。ところが、このようなクロムやタンタルでできた薄膜は抵抗率が高く、例えばスパッタリング装置で成膜した膜厚 100nm のクロム膜やタンタル膜のシート抵抗は 7~10Ω と非常に高抵抗であるという問題があった。

そのため、ゲートライン 4 のドライブ能力が低くて、多くのトランジスタをドライブすることができず、よって画素電極 2 の数を増やすことが困難であった。また、ゲートライン 4 の低抵抗化を図ろうとすると、どうしてもそのライン幅を広くしなければならず、よって高密度化が困難になった。このような理由により、従来は、薄膜トランジスタパネルの高性能化が阻まれていた。

一方、ゲートライン 4 の材料として銅 (Cu) を用

- 4 -

の金属層の材料として白銅 (NiCu)、クロム (Cr)、ニッケル (Ni)、タンタル (Ta)、チタン (Ti)、アルミニウム (Al)、モリブデン (Mo) 及びタングステン (W) の中の 1 つを使用し、前記第 2 の金属層の材料として銅 (Cu) を使用し、前記第 3 の金属層の材料として白銅 (NiCu)、クロム (Cr)、ニッケル (Ni)、タンタル (Ta)、チタン (Ti)、アルミニウム (Al)、モリブデン (Mo) 及びタングステン (W) の中の 1 つを使用することを特徴とするものである。

〔作用〕

上記第 1 及び第 3 の金属層の材料として用いる白銅、クロム、ニッケル、タンタル、チタン、アルミニウム、モリブデン及びタングステンは、いずれも、銅との密着性は勿論ながら、ガラス基板や石英基板との密着性にも優れ、しかも酸化しにくいという性質を持っている。よって、このような材料でできた第 1、第 3 の金属層によって、銅でできた第 2 の金属層を挟み込んで 3 層構造とすれば、第 2 の金属層 (銅層) と基板との密着性が高まり、かつ表面の酸化も防止される。しかも、

- 5 -

- 6 -

第2の金属層が銅でできていることから、従来のクロムやタンタルのみからなる高抵抗の配線層と比較して、著しく低抵抗の配線層を実現することが可能になる。

〔実施例〕

以下、本発明の実施例について、図面を参照しながら説明する。

第1図は、第4図に示した従来の薄膜トランジスタのゲート電極（ゲートライン）に本発明の一実施例を適用して得られる薄膜トランジスタの断面図である。

同図において、ガラスや石英でできた絶縁性の基板1上には、膜厚50Å程度の第1の金属層12a、膜厚200Å程度の第2の金属層12b、及び膜厚50Å程度の第3の金属層12cを順次積層してなる、全体の膜厚が300Å程度の3層構造のゲート電極12が形成されている。そして、この中で最も厚い第2の金属層12bは銅(Cu)でできおり、この上下面を覆って薄く形成された第1及び第3の金属層12a、12cは銅(Cu)中に15重

量%のニッケル(Ni)を含ませてなる白銅(NiCu)でできている。なお、ゲート電極12から延びているゲートラインも、このゲート電極12と同一の3層構造からなっている。

その他の構造は、第4図に示した従来の薄膜トランジスタと同様である。すなわち、上記ゲート電極12上を含む基板1上の全面が、シリコン窒化膜(SiN)からなるゲート絶縁膜7で覆われ、その上の所定領域には、a-Si（アモルファスシリコン）からなるa-Si半導体層8が設けられ、更にa-Si半導体層8上の両側には、a-Si中にn型不純物が高濃度に混入されたn⁺-a-Si半導体層からなるコンタクト層9を介して、クロムやタンタルでできたソース電極10及びドレイン電極11が形成されている。そして、ソース電極10には、画素電極2の一端が接続されている。

次に、基板1上に3層構造のゲート電極12を形成するための製造方法の一例を、第2図に基づき以下に述べる。

まず、第2図(a)に示すように、基板1上の全面

- 7 -

に、スパッタリング法を用いて白銅、銅、白銅の順で、それぞれの膜厚がほぼ50Å、200Å、50Åとなるように順次堆積させることにより、第1の金属層（白銅）12a、第2の金属層（銅）12b、第3の金属層（白銅）12cからなる3層膜を形成する。

続いて、上記の3層膜を一括してフォトリソグラフィ法でパターニングすることにより、第2図(b)に示すように、上記第1～第3の金属層12a、12b、12cからなる3層構造のゲート電極12及びゲートラインを形成する。上記パターニングの際に使用するエッチングは、例えば5%硝酸水溶液によるウェットエッチング、若しくはイオンミリングによるドライエッチングで行う。

本実施例によれば、ゲート電極12及びこれから延びるゲートラインを3層構造とし、その中で最も厚い第2の金属層12bの材料として、低抵抗配線材料である銅を使用したことから、著しい低抵抗化が可能である。例えば、第1、第2、第3の金属層12a、12b、12cの膜厚をそれ

ぞれ50Å、200Å、50Åとし、全体の膜厚300Åの極薄の3層構造とした場合であっても、そのシート抵抗は1.5Ωと非常に低く、よって従来のゲート電極（ゲートライン）の膜厚100nmよりも相当に薄いにもかかわらず、従来のシート抵抗7～10Ωと比較すると著しい低抵抗化が実現される。

しかも、銅でできた第2の金属層12bの基板側と表面側が、それぞれ白銅でできた第1と第2の金属層12a、12cで覆われており、この白銅が銅との密着性及びガラス基板や石英基板との密着性が高く、しかも酸化しにくいという性質を持っている。このことから、第2の金属層12bと基板1とは第1の金属層12aによって確実に密着され、しかも第2の金属層12bの表面の酸化は第3の金属層12cによって確実に防止される。なお、第1の金属層12aの膜厚が50Å程度あれば、十分な密着性を得ることができ、また第3の金属層12cの膜厚も50Å程度あれば、十分な耐酸化性を得ることができる。

従って、ゲート電極12（及びゲートライン）

- 9 -

- 10 -

の基板 1 との密着性及び表面の耐酸化性を高く保持したまま、上記ゲート電極 12（及びゲートライン）の大幅な低抵抗化を実現することができる。このように、特にゲートラインの著しい低抵抗化を可能にしたことにより、薄膜トランジスタパネルにおけるゲートラインのドライブ能力が向上し、数多くの薄膜トランジスタをドライブできるようになり、よって画素電極の数を増やすことができる。また、ゲートラインの幅を狭くしても、従来のクロムやタンタルでできたゲートラインよりも低抵抗化が図れるので、薄膜トランジスタの高密度化が可能である。これらのことから、本実施例を適用した薄膜トランジスタパネルでは、その高性能化が可能となる。

また、ゲート電極 12 及びゲートラインを 300 Å 程度の極薄い構造にしても、上記のように低抵抗化が可能であることから、ゲート電極 12 及びゲートライン上を絶縁膜を介して横切るドレイン電極 11 やドレインライン（第 3 図参照）の段差を小さくできる。そのため、従来から上記の段差

部分で生じているゲートラインとドレインラインとの短絡やドレインラインの断線等の問題を低減することができ、よって歩留りの向上を図ることも可能である。

なお、上記実施例は本発明をゲートラインに適用した場合であるが、薄膜トランジスタのタイプによってはドレインラインが基板上に形成される場合があり、このような場合にはドレインラインに本発明を適用することができる。また、本発明は、上述したような薄膜トランジスタパネルのゲートラインやドレインラインに適用できるだけでなく、ガラスや石英等の絶縁性基板上に形成される様々な配線層に適用することができ、例えばメモリ機能を持たせた薄膜トランジスタを絶縁性基板上にマトリクス状に配列した構造を持つメモリ装置に使用される配線層にも適用することができる。

また、銅でできた第 2 の金属層を両側から挟み込む第 1 及び第 3 の金属層の材料としては、上述した白銅に他にも、クロム、ニッケル、タンタル、

- 11 -

チタン、アルミニウム、モリブデン、タングステンを使用することができ、また、第 1 の金属層と第 2 の金属層の材料が互いに同じである必要もない。

〔発明の効果〕

本発明の配線構造によれば、低抵抗材料である銅を中央層とする 3 層構造とし、その基板側の層に基板との密着性の高い材料を使用すると共に、最表面層に酸化しにくい材料を使用したことにより、基板との密着性及び表面の耐酸化性を高く保持したまま、著しい低抵抗化を実現することができる。従って、例えば薄膜トランジスタパネルのように薄膜トランジスタを使用した各種デバイスに本発明を適用すれば、配線層の低抵抗化に伴い、そのデバイスの高性能化が可能となる。

4. 図面の簡単な説明

第 1 図は薄膜トランジスタパネルのゲートライン（ゲート電極）に本発明の一実施例を適用して得られる薄膜トランジスタの断面図、

第 2 図(a)及び(b)は同実施例のゲートライン（ゲ

ート電極）を形成するための製造方法を示す製造工程図、

第 3 図はアクティブマトリクス型の液晶表示装置に使用される一般的な薄膜トランジスタパネルの平面図、

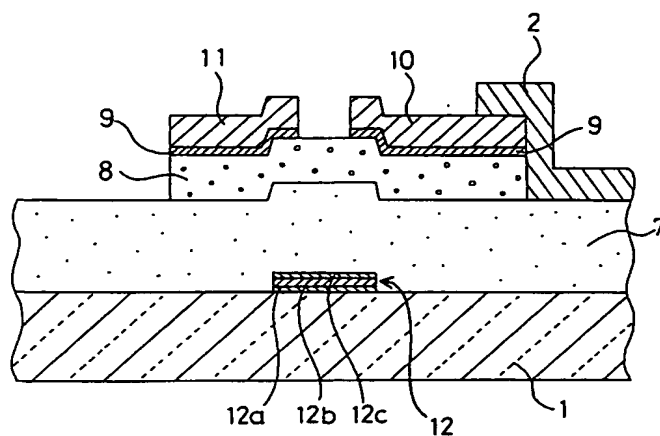
第 4 図は従来の薄膜トランジスタパネルにおける薄膜トランジスタの断面図である。

- 1・・・絶縁性基板、
- 3・・・薄膜トランジスタ、
- 4・・・ゲートライン、
- 5・・・ドレインライン、
- 7・・・ゲート絶縁膜、
- 8・・・a-Si 半導体層、
- 9・・・コンタクト層、
- 10・・・ソース電極、
- 11・・・ドレイン電極、
- 12・・・ゲート電極、
- 12a・・・第 1 の金属層、
- 12b・・・第 2 の金属層、
- 12c・・・第 3 の金属層、

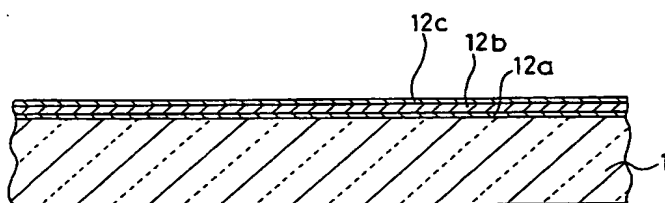
- 12 -

- 13 -

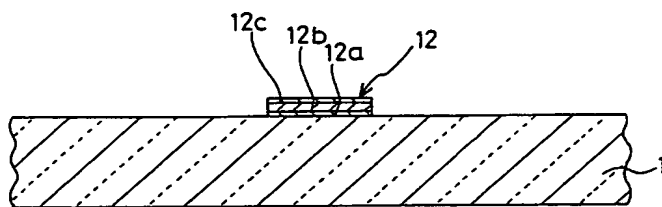
- 14 -



第 1 図

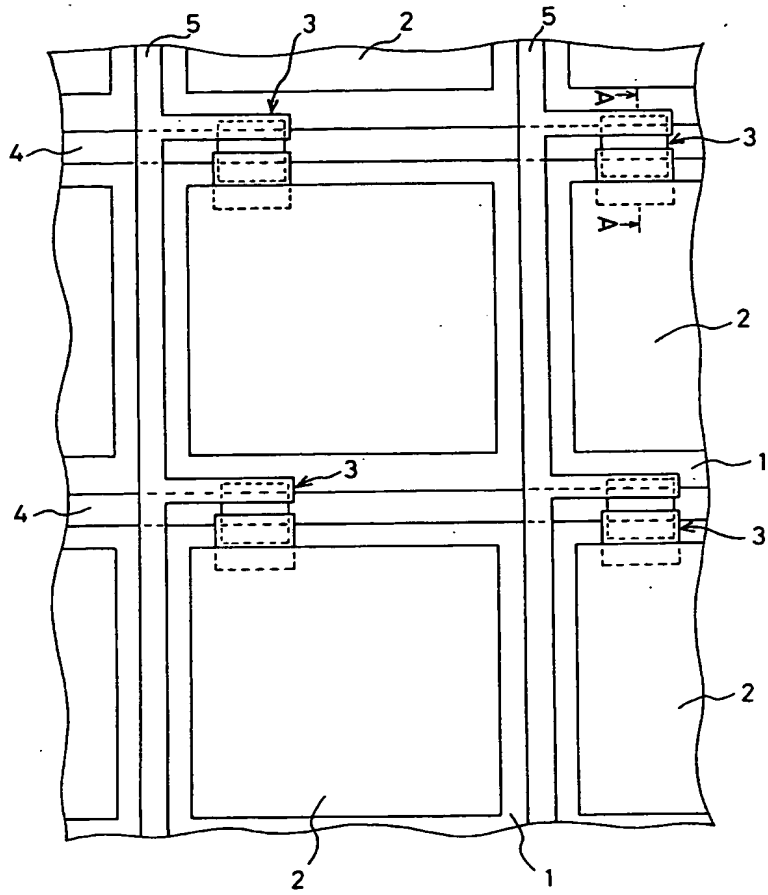


(a)

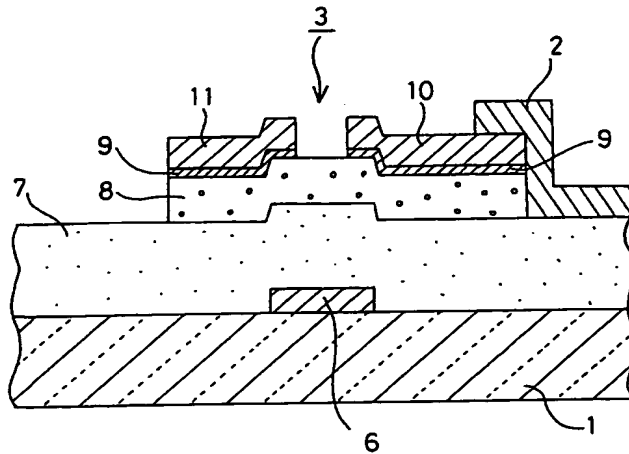


(b)

第 2 図



第 3 図



第 4 図